

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-205395

(43)公開日 平成6年(1994)7月22日

(51) Int.Cl.⁵

H 0 4 N 7/137

識別記号

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数 4 (全 7 頁)

(21)出題番号 特願平5-252005

(22)出願日 平成5年(1993)10月7日

(31)優先権主張番号 92-18396

(32)優先日 1992年10月7日

(33)優先権主張国 韓国 (KR)

(71)出願人 592008077

大宇電子株式会社

大韓民国ソウル特別市中区南大門路5街
541

(72)發明者 孫 彰

大韓民国ソウル特別市江西区傍花洞京南ア
パート101

(72)發明者 權 五相

大韓民国ソウル特別市城北区貞陵2洞227
-107

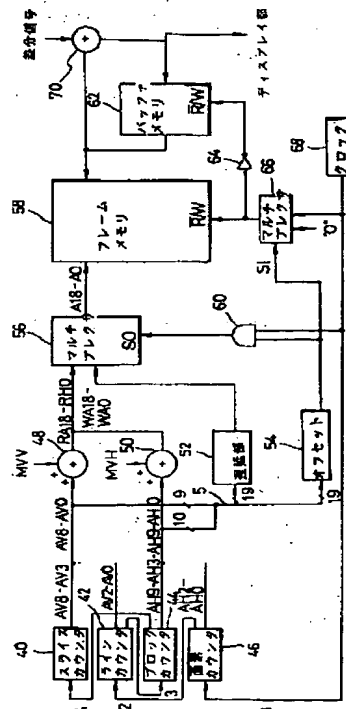
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 動き補償を用いた動映像信号処理器のためのメモリ装置

(57) 【要約】

【目的】 圧縮された映像信号を受信するための復号器のメモリ装置として、以前フレームと動き補償された現在フレームとを同時に共有してフレームメモリの大きさを大きく減らす。

【構成】 該方式は、現在フレームで動き補償が終了され、また他の部分の動き補償に使用されない以前フレームの部分を現在のフレームデータに変更するために、現在復号化された部分を一旦フレームメモリとは独立されたバッファメモリに貯蔵し、動き補償探索領域を外れたのちに一旦貯蔵されたものをフレームメモリにさらに記録する。



【特許請求の範囲】

【請求項1】 復号化されたフレームイメージデータを貯蔵し、前記イメージデータを動き補償に使用する以前フレームデータで提供する動き補償を用いた動映像信号処理器のためのメモリ装置において、前記一つのフレームデータを貯蔵するフレームメモリと、一つのフレームデータの一部を貯蔵するバッファメモリと、前記フレームメモリおよびバッファメモリと通信するためのデータバスと、クロックと前記クロックの信号に応じて基底読み取りアドレスを発生する手段と、前記基底読み取りアドレス信号と動きベクターを加算して読み取りアドレスを発生する手段と、前記基底読み取りアドレス信号を現在読み取られるブロックに対する動き補償領域を外れる期間遅延させて記録アドレス信号に発生する遅延手段と、前記基底読み取りアドレス信号と既設定されたオフセットアドレス信号値を比較して、前記基底読み取りアドレスが前記既設定されたオフセットアドレスより小さいばあいには、ロジックローを出力し、前記基底読み取りアドレスが前記既設定されたオフセットアドレスより大きいか同一のばあいには、ロジックハイを出力するオフセット判断部と、前記オフセット判断部からの信号と前記クロック信号に応じて前記記録アドレス信号および前記読み取りアドレス信号のうち、いずれか一つを前記メモリに印加する手段と、前記オフセット判断部からの信号に応じて前記クロックおよびローレベル信号を前記フレームメモリおよび前記バッファメモリに対する読み取り／記録制御信号に印加する手段と、前記読み取り／記録制御信号を反転して前記臨時メモリの読み取り／記録制御信号に印加する手段とを含んでおり、前記フレームは複数のスライス単位に構成され、前記スライスは複数のブロックで構成され、前記ブロックは $n \times m$ （ここで n 、 m は正の整数）画素で構成されるメモリ装置。

【請求項2】 前記既設定されたオフセットアドレス信号は、フレーム処理時最初に動き補償領域を外れるアドレスに対応する値を有する請求項1記載のメモリ装置。

【請求項3】 前記遅延手段によって遅延される期間が少なくとも1スライス+1ブロックの処理所要期間である請求項1記載のメモリ装置。

【請求項4】 前記バッファメモリが先入先出方式に動作する請求項1記載のメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、圧縮された映像信号を受信するための復号器のメモリ装置に関するもので、とくに、動き補償符号化を行なうばあいに必要とする以前フレーム貯蔵用メモリと、現在フレーム貯蔵用メモリとを共有する方式で必要とするメモリの大きさを減らすことができる効率的なメモリ装置に関する。

【0002】

【従来の技術】 HDTV、映像電話機などのような映像

をデジタルで処理する装置における映像信号は音声信号に比べて帯域幅が広いのでデジタル方式でこれを処理しようとするばあい多量のデータが発生することになる。しかしながら、これを転送するのに使用することができる帯域幅は限定されているのでこれを転送するためにはデータを圧縮しなければならない。

【0003】 従来は、一連の映像信号を転送するとき、1場の画面とその次の画面の対応される画素ごとに比較して差分を抽出、転送するフレーム間の差分符号化方式を使用した。このばあい、受信機においては受信された差分信号を以前フレームの信号に加えて現在フレームをつくることになる。したがって、現在フレームを処理するばあい、参考とする以前フレームのデータをメモリに有していなければならない。このばあいにおいては、現在フレームのデータを処理しながら以前フレームの同様のメモリの位置に現在フレームのデータを記録する方式であるので、一つのフレームのメモリを使用してもデータを十分に処理することができた。

【0004】 現在、デジタル映像信号を効果的に転送するためにデータを効果的に圧縮する多様な技法が提示されている。

【0005】 その中でも一般に使用されている圧縮技法として、離散コサイン変換のようなフレーム内の相関性を減らす変換符号化方式と、動き補償を利用してフレーム間の時間的な相関性を減らすフレーム間動き補償予測符号化方式がある。

【0006】 ここで、動き補償とは、映像信号処理で物体の動きの程度を所定のアルゴリズムで推定して以前フレーム（またはフィールド）の信号を動きベクター（すなわち、動き映像信号で現在フレームの画素（または画素などのブロック）などが以前フレームに比べてどの方向へどれほど動いたかを示す画素単位のベクター量）だけ移動させるものである。

【0007】 フレーム間動き補償予測符号化方式は前述した動き補償を利用して符号化する映像圧縮方法として、以前フレームと現在フレームを比較して現在フレームの映像が以前フレームの映像に比べてどの方向へどれほど動いたかを推定した動きベクターと以前フレームとで動き補償を行ない、現在フレームの信号から動き補償された信号を減算した差分信号を圧縮符号化するものである。受信機では以前フレーム信号と動きベクターにより動き補償を行ない、これを差分信号に加えて現在フレーム信号を復号化することになる。

【0008】 すなわち、該方式は現在フレームの値を以前フレームと同一な位置の値から単純に引く差分符号化方式とは異なり、以前フレームと現在フレーム間の動き情報を検出して動き探索領域内で一番小さい差分を示す位置にある部分との差分を求める。

【0009】 このばあい前記した差分符号化方式と同様に送信機および受信機においては各々以前フレームが記

録されるメモリが必要である。

【0010】しかしながらこのばあいには復号化される位置の以前フレームデータが近くの部分の動き補償に使用されるので、すなわち、動き探索領域に属するので復号化されたデータを以前フレームと同一な位置に記録すれば、これによって近くの部分の動き補償を行なうことができなくなる。したがって、前記した差分復号化方式のようにフレームメモリを共有することができなく、二つのフレーム分のデジタル映像データを別のメモリで処理している。かかるフレームメモリの増加は送信機および受信機の価格を上昇させ、また送信機および受信機において相当な体積を占めている。

【0011】

【発明が解決しようとする課題】本発明の目的は、動き補償を利用する受信機で現在フレームとその以前フレームデータを共有するメモリ装置を提供する。

【0012】

【課題を解決するための手段】かかる目的を達成するための本発明の特徴は、復号化されたフレームイメージデータを貯蔵し、前記イメージデータを動き補償に使用する以前フレームデータで提供する動き補償を用いた動映像信号処理器のためのメモリ装置において、前記一つのフレームデータを貯蔵するフレームメモリと、一つのフレームデータの一部を貯蔵するバッファメモリと、前記フレームメモリおよびバッファメモリと通信するためのデータバスと、クロックと前記クロックの信号に応じて基底読み取りアドレスを発生する手段と、前記基底読み取りアドレス信号と動きベクターを加算して読み取りアドレスを発生する手段と、前記基底読み取りアドレス信号を現在読み取られるブロックに対する動き補償領域を外れる期間遅延させて記録アドレス信号に発生する遅延手段と、前記基底読み取りアドレス信号と既設定されたオフセットアドレス信号値を比較して、前記基底読み取りアドレスが前記既設定されたオフセットアドレスより小さいばあいは、ロジックローを出力し、前記基底読み取りアドレスが前記既設定されたオフセットアドレスより大きいか同一のばあいは、ロジックハイを出力するオフセット判断部と、前記オフセット判断部からの信号と前記クロック信号に応じて前記記録アドレス信号および前記読み取りアドレス信号のうち、いずれか一つを前記メモリに印加する手段と、前記オフセット判断部からの信号に応じて前記クロックおよびローレベル信号を前記フレームメモリおよび前記バッファメモリに対する読み取り／記録制御信号に印加する手段と、前記読み取り／記録制御信号を反転して前記臨時メモリの読み取り／記録制御信号に印加する手段とを含んでおり、前記フレームは複数のスライス単位に構成され、前記スライスは複数のブロックで構成され、前記ブロックは $n \times m$ （ここで n 、 m は正の整数）画素で構成されるメモリ装置である。

【0013】

【実施例】以下、添付された図面を参照して本発明を詳細に説明する。

【0014】図1および図2を参照すれば、本発明を容易に説明するための例示的な図面で、そのうち、図1は本発明の説明において利用されるフレーム構成の一例を示している。

【0015】画素(pixel)は映像信号をデジタル的に信号処理するために標準化するばあいの標準であり、空間的な映像を分解または構成する最小の単位である。本発明を限定するものではないが、本明細書において一フレームは水平軸へ720個、垂直軸へ320個の画素から構成されているもので仮定する。

【0016】ブロックとは映像信号を処理する単位である幾つかの画素などの集合として、映像復号化、動き推定などの処理を行なうための基本単位であって広く使用される。

【0017】本発明を限定するものではないが、ここで一つのブロックはたとえば 8×8 個の画素で構成されるものと仮定する。

【0018】スライスは一フレームの左端から右端へ至る一連のブロック集合である。ここで、一つのスライスは90個のブロックで構成されると仮定する。

【0019】図2は、ブロック整合(block matching)アルゴリズムを利用した動き検出を例示する図面である。ブロック整合アルゴリズムは動きベクターを検出するために以前フレーム(f_{n-1}) (現在フレームを f_n と称するばあい)のブロックを一つの画素ずつ移動しながら現在フレーム(f_n)の指定されたブロックと一番類似したブロックを探す方法である。該方法は、物体の動きは一つのブロック内で全部同一であると仮定するものである。ブロックの大きさが小さいほどかかる仮定の信頼度は高くなるが動きベクターの計算量と転送量は増加することになる。一般に二つのブロックの類似性を判断する基準として平均絶対値と平均平方差などを広く用いる。

【0020】図2に示したように、動き探索の範囲が水平、垂直へ各々-8から+8画素(整数単位)であるばあい、その探索範囲内においてフレーム(f_n)のブロック91と一番類似したブロックを探索する。このばあい選択されたブロック(A)はフレーム(f_n)のブロック91となる。フレーム間動き補償予測符号化を行なうばあい、符号器に入力される現在フレームでこのように動き補償された信号を減算してその差分信号および動きベクター(V)のみを受信機へ転送する。ここで、ブロック91の動きベクター(V)は水平動きベクター(V_x)と垂直動きベクター(V_y)とから構成される。

【0021】前記のように、動き補償を行なう受信機を含むデジタル映像処理システムにおいては以前フレー

ム (f_{n-1}) と動き補償された現在フレームを貯蔵する二つのフレームメモリすなわち、以前フレーム

(f_{n-1}) を貯蔵するメモリと以前フレーム (f_{n-1}) および動きベクターにより動き補償した後、差分信号と加算して得られた現在フレーム (f_n) を指定するメモリが使用される。

【0022】本発明のメモリ装置は、別のメモリが一つのフレームメモリおよびバッファメモリとして取り替え、該メモリ装置には以前フレーム (f_{n-1}) と復号化された現在フレーム (f_n) を同時に共有する。本発明の根本的な原理は動き補償符号化においては以前フレーム (f_{n-1}) のデータが現在フレーム (f_n) の動き補償基準で使用されるので単純にメモリを共有することができないため、所定のバッファメモリを使用して、始めて復号化された部分を一旦バッファメモリに貯蔵し動き補償探索領域を外れた以後にそのバッファメモリに貯蔵されたデータをフレームメモリに記録する。

【0023】たとえば、図2に示したフレーム (f_n) を貯蔵したメモリ一つのみを使用して動き補償を行なうばあい、ブロック0からブロック90まではそれ以後ブロックなどの動き補償探索領域に属するのでフレーム (f_{n-1}) のメモリに復号化されたブロックを記録することができない。したがって、所定のバッファメモリを使用してブロック0からブロック90まで復号化されたデータを一時的に貯蔵する。

【0024】それから、ブロック91から動き推定を行なったのちフレーム (f_{n-1}) のブロック0はこれ以上使用されないのでバッファメモリに貯蔵された動き補償された現在フレームのブロック0をフレーム (f_{n-1}) のブロック0に記録する。バッファメモリは先入先出 (First Input First Output 以下“FIFO”と称する) メモリとしてその容量はブロック91個分のデータを貯蔵することができるように構成する。

【0025】図3を参照すれば、動き補償を利用した動映像信号システムにおいて本発明によるフレームメモリ58とバッファメモリ62を含むメモリ装置が示される。

【0026】フレームメモリ58は、復号化された以前フレームデータを貯蔵する。バッファメモリ62は動き補償された現在フレームブロックのデータを一時貯蔵した後フレームメモリ58で出力する。該メモリは次に説明するようにFIFO方式により駆動される。

【0027】現在フレームの動き補償するフレームメモリ58内の画素位置のアドレスはシステムクロック発生部68から発生されるシステムクロックをカウントして生成することになる。図面に示したように画素カウンタ46は、クロック68のクロック信号に応じてメモリ58の下位3ビットの水平アドレス信号AH2-AH0を順次的に生成する。前記3ビットのアドレス信号は図1を参照して記述されたブロックNo. “0” 第1列8

個の画素を順次的に指定するアドレス信号として使用される。3ビットの8アドレス信号の発生が終了されると、前記ブロック“0”の第2列ないし第8列の各々8

個の画素を指定するアドレスが発生され、各列の8個のアドレス信号が生成されるごとに画素カウンタ46は、キャリ出力をラインを通じてラインカウンタ42に提供する。前記画素カウンタ46は、8進カウンタにより構成される。ラインカウンタ42は画素カウンタ46の各々のキャリ出力に応じて前記第1列ないし第8列の一番目画素などの位置を指定するがラインカウンタ42もやはり画素カウンタと同様に8進カウンタにより具現することができ、3ビットの垂直8個アドレス発生が終了するごとにラインカウンタ42から発生されるキャリ出力はライン3を通じてブロックカウンタ44へ提供される。

【0028】ブロックカウンタ44は、前記キャリ出力に回答して図1に示したような各スライス内ブロックの位置を指定するのに使用される7ビットのAH9-AH3アドレスを順次的に生成する機能を行なう。

【0029】初期にブロックカウンタ44は、0000000を発生するのでブロック“0”を指定することになり、ラインカウンタ42からのクロック信号に応じて第1スライス内ブロック“0”ないし“89”を順に指定することになる。ブロックカウンタ44が各々のスライス内すべてのブロックを指定する2⁷個の7ビットのAH9-AH3アドレスの発生が終了されるごとにキャリ出力が発生し、該キャリ出力は、ライン4を通じてスライスカウンタ40へ提供される。スライスカウンタ40は、前記ブロックカウンタ44のキャリ出力に回答して図1に示した各々のスライス行などを指定するのに使用される6ビットの垂直アドレスAV8-AV3を順次的に生成する機能を行なう。初期にスライスカウンタのアドレスAV8-AV3は000000であるので第1スライス行を指定することになる。前記ブロックカウンタ44から発生されるキャリ出力に回答すると、スライスカウンタ40は各々のスライス行のアドレスを発生することになる。

【0030】前記した画素カウンタ46、ラインカウンタ42、スライスカウンタ40の作動は、図1に例示的に示したフレーム内の全体画素のアドレスが発生するまで繰り返され、画素カウンタ46およびブロックカウンタ44から各々発生したアドレス信号AH2-AH0およびAH9-AH3は一連の10ビットアドレス信号として加算器50の一端に提供され、ラインカウンタ42およびスライスカウンタ40から各々発生したアドレスAV2-AV0およびAV8-AV3は一連の9ビットアドレス信号として加算器48の一端に提供される。

【0031】加算器50は、水平アドレスAH9-AH0と他の入力端へ提供される水平動きベクターMVHと

10

20

30

40

50

合算し、加算器48は垂直アドレスAV8-AV0とその他の入力端へ提供される垂直動きベクターMVVと合算する。各々の加算器48および50で合算されたアドレスは19ビットの実際アドレスRA18-RA0として生成されマルチプレクサ56に提供される。該アドレスは動き補償を行なうためにメモリ58に貯蔵された以前フレーム(f_{n-1})の画素データを読み取り用アドレスとして使用される。

【0032】また、画素カウンタ46およびブロックカウンタ44から生成された10ビットの水平アドレスAH9-AH0とラインカウンタ42およびスライスカウンタ40から生成された9ビットの垂直アドレスAV8-AV0はラインから合算されてTs遅延部52とオフセット判断部54へも提供される。

【0033】本発明によると、前記したようにフレームメモリ58に記憶されたデータを読み取った後、バッファメモリ62内のデータを読み取ってさらにフレームメモリ58内に記録する。この時前記読取に使用されるアドレスはTs遅延されて記録に必要とするアドレスで生成される。このとき遅延時間は、1スライス+1ブロックで設定される。即ち、Ts遅延部52は読み取りに使用されたアドレス(これは動きベクター成分に加えられてアドレスRA18-RA0となる)を1スライス+1ブロックの遅延(Ts)時間ほど遅延させ、遅延されたアドレスWA18-WA0を生成する。該アドレス信号は、FIFOメモリ62に貯蔵されたデータがフレームメモリ58内に貯蔵される位置を示すアドレスとして使用され、マルチプレクサ55へ出力される。

【0034】オフセット判断部54は、前記したアドレスAH9-AH0およびAV8-AV0を受信して該アドレスの遅延程度が予め設定されたオフセット値、即ち、1スライス+1ブロックほど遅延されるかどうかを判断する。判断の結果、オフセット値より小さいばあいには論理0またはロー信号を、オフセット値より大きいばあいは、論理1またはハイ信号をANDゲート60と第2マルチプレクサ66の一入力へ出力する。

【0035】ANDゲート60の他端にはクロック68からクロック信号が供給され、ANDゲート60はこれらの両信号を論理的に組合せてマルチプレクサ56の読み取りおよび記録アドレス信号RA18-RA0およびWA18-WA0中の一つを選択する制御信号を提供する。オフセット判断部54から論理ロー信号が提供される間、ANDゲート60は論理ロー信号をマルチプレクサ56の選択端子SOへ提供する。したがって、マルチプレクサ56は、前記遅延時間のあいだ読取アドレスRA18-RA0のみを指定する。しかし、前記期間の経過後、ANDゲート60はクロックの上延部(positive going edge)時、論理1信号を、それからクロック信号の下延部(negative going edge)時、論理0信号をマルチプレクサ56へ提供することによって、マルチプ

レクサ56は各々アドレスWA18-WA0とアドレスRA18-RA0を交替にメモリ58へ出力する。

【0036】マルチプレクサ56からアドレスRA18-RA0とアドレスWA18-WA0が交替にメモリ58へ提供されるとき、メモリ58の読み取りおよび記録動作は第2マルチプレクサ66により制御される。第2マルチプレクサ66は、接地に連結された入力端子と、クロック68のクロック信号に連結された他の入力端子と、オフセット判断部54の出力信号を選択信号として受信する選択端子と、メモリのR/W制御端子に連結された出力端子とから構成される。したがって、オフセット判断部54の選択制御信号によって選択端子(S1)への入力が0のばあい、出力端子を通じて論理0を出力してメモリ58で読み取り動作のみ行なうようにする。選択端子(S1)への入力が1のばあい、出力端子を通じて論理1を出力してメモリ58が書き込み動作のみ行なうようにする。これと反対に、バッファメモリ62は、インバータ64を通じて提供されるマルチプレクサ66の書き込みおよび読み取り制御信号によってクロックが“ロー”値でフレームメモリ58を読み取る間バッファメモリ62に書き込みを行ない、クロックが“ハイ”値でフレームメモリ58が書き込みの間バッファメモリ62のデータを読み取る。

【0037】現在フレームの動き処理および画素位置のアドレスがオフセット(ブロック91)のアドレスとなればオフセット判断部54は1を出力してシステムクロック68によってクロックが“ロー”のばあいマルチプレクサ56は読み取りアドレス(RA18-RA0)を選択し、メモリはそのアドレスに当たるデータを読み取って、加算器70へ送られて差分信号に加えられる。その結果、得られた動き補償された復号化データ値はFIFOバッファメモリ62に記録される。クロックが“ハイ”であれば、マルチプレクサ56は書き込みアドレス(WA18-WA0)を選択し、フレームメモリ58は指定されたアドレスにFIFOバッファメモリ62から入力されるデータを貯蔵する。したがって、システムが動作して始めてのフレームのオフセット時間は読み取りのみ行ない、以後には読み取り、書き込みを繰り返して交替に行なうことになる。

【0038】本発明による動き補償を利用した動き映像信号処理のためのメモリ装置の動作状態を図4に例示する。タイミング図には、ブロックなどの動き補償処理区間(a)、動き補償されて復号化されたブロックなどのFIFOバッファメモリ入力時間(b)およびFIFOバッファメモリから出力されるブロックなどの出力区間(c)が示されている。ここで、FIFOバッファメモリから遅延される時間(Ts)は1スライス+1ブロックなどの処理所要時間である。

【0039】

【発明の効果】このように本発明は以前フレームデータ

と、現在フレームデータとを同時に貯蔵することができるフレームメモリと、比較的小さい容量のバッファメモリとを使用することによって受信機の価格を安価にし、体積も縮小させる効果がある。

【図面の簡単な説明】

【図1】本発明によるフレーム構成図である。

【図2】本発明による動きベクターを示した図面である。

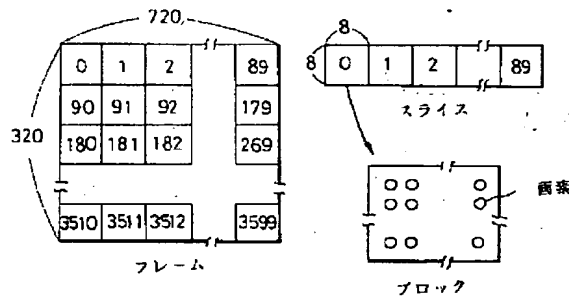
【図3】本発明によるフレームメモリとバッファメモリを使用して動き補償実施を示した図面である。

【図4】本発明の動き補償を利用した動き映像信号処理器のメモリ装置の動作状態を例示する図面である。

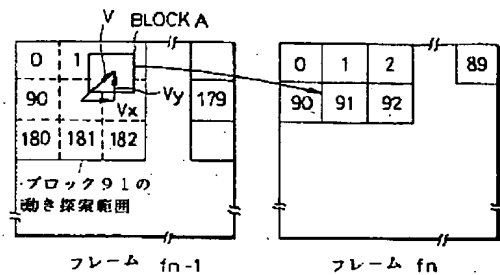
【符号の説明】

- 40 スライスカウンタ
- 42 ラインカウンタ
- 44 ブロックカウンタ
- 46 画素カウンタ
- 50、70 加算器
- 52 Ts 遅延部
- 54 オフセット判断部
- 56、66 マルチプレクサ
- 58 フレームメモリ
- 60 ANDゲート
- 62 バッファメモリ
- 64 インバータ
- 68 クロック

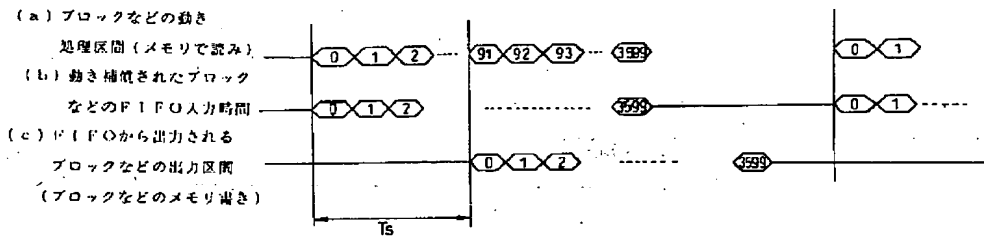
【図1】



【図2】



【図4】



Ts = FIFOバッファでの遅延時間
(1スライス+1ブロックの処理所要時間)

